

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172111

(43)Date of publication of application : 02.07.1996

(51)Int.Cl. H01L 21/60
 H01L 21/50
 H01L 21/68
 H01L 23/02
 H01L 25/04
 H01L 25/18

(21)Application number : 06-317158

(71)Applicant : NEC CORP

(22)Date of filing : 20.12.1994

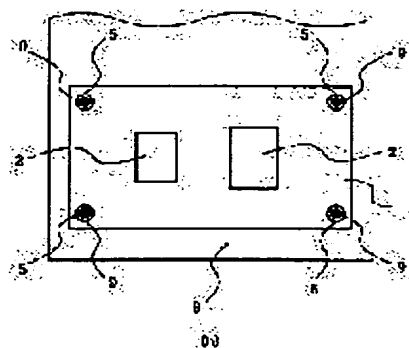
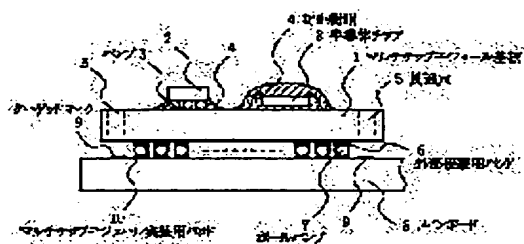
(72)Inventor : SUZUKI MOTOHARU

(54) MOUNTING STRUCTURE OF MULTI-CHIP MODULE

(57)Abstract:

PURPOSE: To provide the mounting structure of a multi-chip module in which the position displacement when a multi-chip module is mounted on a main board is detected in the mounting process which can make comparative correction before connection such as soldering is performed.

CONSTITUTION: Through holes 5 are provided in two places or more in the position in which a semiconductor chip 2 is not mounted and there is not a pattern wiring on a multi-chip module substrate 1. In a main board 8 in which the multi-chip module substrate 1 is mounted, an analogous form target mark 9 which has smaller area than the through holes 5 is formed in the same center co-ordinate position as the through holes 5 in the same process as a pad 10 for mounting the multi-chip module of the main board 8.



LEGAL STATUS

[Date of request for examination] 20.12.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2692620

[Date of registration] 05.09.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

THIS PAGE BLANK (USPTO)

decision of rejection]

[Date of extinction of right]

05.09.2000

Copyright (C); 1998,2000 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172111

(43)公開日 平成8年(1996)7月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 Q	7726-4E		
21/50	F			
21/68	G			
23/02	G			

H O 1 L 25/ 04

$$Z$$

審査請求 有 請求項の数 3 O.L (全 5 頁) 最終頁に続く

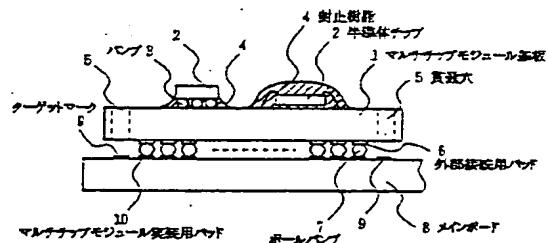
(21) 出願番号	特願平6-317158	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成6年(1994)12月20日	(72) 発明者	鈴木 元治 東京都港区芝五丁目7番1号 日本電気株 式会社内
		(74) 代理人	弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 マルチテップモジュールの実装構造

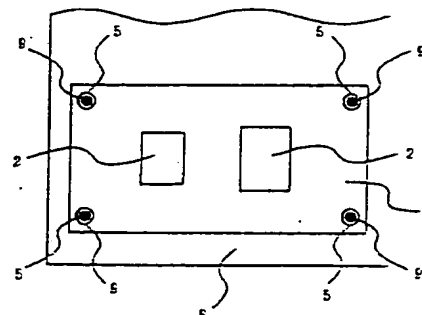
(57) 【要約】

【目的】 マルチチップモジュールをメインボードへ実装する際の位置ズレを半田付け等による接続を行う前の比較的修正が可能な搭載工程で検出する。

【構成】 マルチチップモジュール基板 1 上で半導体チップ 2 が実装されずかつパターン配線が無い位置に 2 箇所以上の貫通穴 5 を設ける。また、マルチチップモジュール基板 1 が実装されるメインボード 8 上には、貫通穴 5 と同一中心座標位置に、貫通穴 5 よりも面積の小さい相似形状のターゲットマーク 9 を、メインボード 8 のマルチチップモジュール実装用パッド 10 と同一工程で形成する。



(u)



(5)

【特許請求の範囲】

【請求項 1】 半導体チップが実装され、メインボードとの接続外部端子が全て裏面に配置され、かつメインボードに面実装されるマルチチップモジュール基板上で、半導体チップが実装されず、かつ表裏層並びに内層にパターン配線やビアホール等が配置されていない領域に最低 2 つ以上の貫通穴を有するマルチチップモジュール基板と、前記マルチチップモジュール基板が、前記接続外部端子を介して接続される、メインボードで、前記貫通穴と同一中心座標位置に前記貫通穴と相似形状のターゲットマークを有する前記メインボードとから構成されることを特徴とするマルチチップモジュールの実装構造。

【請求項 2】 前記メインボード上のターゲットマークの面積が前記マルチチップモジュール基板の貫通穴面積よりも小さく、かつ基板製造工程における位置精度、寸法精度、加工精度、膨張・収縮及び前記マルチチップモジュールの前記メインボードへの実装時の位置ズレ量、例えばメインボードのマルチチップモジュール実装パッドに対してズレ量がパッド幅の $1/2$ 以内が接続信頼性を保証出来る場合にはその寸法を加算した大きさである請求項 1 記載のマルチチップモジュールの実装構造。

【請求項 3】 前記メインボード上のターゲットマークが、メインボード上のマルチチップモジュール実装パッドと同一工程にて形成される請求項 1 記載のマルチチップモジュールの実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マルチチップモジュールの実装構造に関する。

【0002】

【従来の技術】 従来のマルチチップモジュールの実装構造例を図 5 に示す。マルチチップモジュール基板 1 上に半導体チップ 2 をフェースダウンでバンプ 3 を介してフリップチップ法、またはフェースアップでワイヤーボンディング法等により 1 個ないし複数個搭載した後、半導体チップ 2 の保護のために封止樹脂 4 により全体を封止するが、そのままの状態では封止樹脂 4 を塗布すると、外周に広く樹脂が流れ出してしまうために枠 11 を設けている。マルチチップモジュール基板 1 は半導体チップ 2 の搭載面から裏面に至る配線層と外部接続用パッド 6 を設けてある。この外部接続用パッド 6 上に半田のボールバンプ 7 を形成し、メインボード 8 に搭載する。その後、メインボード 8 に搭載されている他の電子部品と一括でリフロー加熱することによりマルチチップモジュールをメインボード 8 に接続する。このようなマルチチップモジュールは「CREATE ENGINEERING REPORTS 第 17 回 CREATE-Show セミナー予稿集 ボールグリッドアレイ (BGA) のパッケージングと実装技術」1 頁～7 頁に記載されている。

【0003】 上述した従来のマルチチップモジュールは外部接続用パッドを全てマルチチップモジュール基板の裏面に配置し、さらにメインボードへは、半田ボールバンプを介した面実装の形態を取っている。これは、メインボード上におけるマルチチップモジュールの実装スペースの縮小出来ること、またマルチチップモジュールが実装されるメインボードの裏面側他部品を実装出来ることから、全体の実装効率の向上に寄与している。

【0004】

【発明が解決しようとする課題】 上述したマルチチップモジュールの実装構造では、マルチチップモジュールをメインボードに実装した時に、接続箇所がマルチチップモジュール基板の下に隠れてしまい、マルチチップモジュール上面からまたはメインボード裏面から見えない。このためマルチチップモジュールの搭載工程においてメインボード上の正規の搭載パッドに位置ズレなく搭載されているかどうかの検査は、搭載後半田付け等による接続を行った後で、電気的導通検査、機能検査により、搭載時の位置ズレ不良に起因するオープン/ショート不良の検出を行っていた。この場合上述した様に、マルチチップモジュールとメインボードの接続箇所がマルチチップモジュール基板の下に隠れているため、不良箇所の修正に多大な工数がかかるという問題点があった。

【0005】 本発明の目的はマルチチップモジュールをメインボードへ実装する際の位置ズレを半田付け等による接続を行う前の比較的修正が可能な搭載工程で検出することを可能にし、マルチチップモジュールのメインボードへの実装品質の向上、及び接続不良の修正工数の低減を図ることである。

【0006】

【課題を解決するための手段】 本発明のマルチチップモジュールの実装構造は、半導体チップが実装され、メインボードとの接続外部端子が全て裏面に配置され、かつメインボードに面実装されるマルチチップモジュール基板上で、半導体チップが実装されず、かつ表裏層並びに内層にパターン配線やビアホール等が配置されていない領域に最低 2 つ以上の貫通穴を有する前記マルチチップモジュール基板と、前記マルチチップモジュール基板が、前記接続外部端子を介して接続される、メインボード上で、前記貫通穴と同一中心座標位置に前記貫通穴面積よりも小さく、かつ基板製造工程における位置精度、寸法精度、加工精度、膨張・収縮及び前記マルチチップモジュールの前記メインボードへの実装時の位置ズレ量、例えばメインボードのマルチチップモジュール実装パッドに対しパッド幅の $1/2$ 以内が接続信頼性を保証出来る場合にはその寸法を加算した大きさで、かつメインボード上のマルチチップモジュール実装パッドと同一工程にて形成された、前記貫通穴と同数のターゲットマークを有するメインボードとから構成される。

【0007】

【実施例】次に本発明について図面を参照して詳細に説明する。

【0008】図1(a)、(b)は本発明の第1の実施例のマルチチップモジュール実装構造の断面図及び平面図である。マルチチップモジュール基板1上に半導体チップ2をフェースダウンでバンプ3を介してフリップチップ法、又はフェースアップでワイヤーボンディング法等により1個ないし複数個搭載した後、半導体チップ2の保護のために封止樹脂4により封止してある。マルチチップモジュール基板1の半導体チップ2が実装され、かつ表裏層並びに内層にパターン配線やビアホール等が配置されていない領域には円形の貫通穴5が4個、それぞれマルチチップモジュール基板1の4隅にあたる箇所に1個ずつ配置されている。マルチチップモジュール基板1は半導体チップ2の搭載面から裏面に至る配線層と外部接続用パッド6を設けてある。この外部接続用パッド6上に半田のボールバンプ7を形成し、メインボード8に搭載する。

【0009】メインボード8上にはマルチチップモジュール基板1の貫通穴5と同一中心座標位置に、貫通穴5と相似形状のターゲットマーク9をメインボード8上のマルチチップモジュール実装用パッド10と同一製造工程で、形成してある。このターゲットマーク9の大きさは貫通穴5の大きさよりも小さく、かつ基板製造工程における位置精度、寸法精度、加工精度、膨張・収縮及びマルチチップモジュール基板1のメインボード8への実装時の位置ズレ許容値を考慮して決定されている。また、ターゲットマーク9はメインボード8上のマルチチップモジュール実装用パッド10と同一製造工程で形成することにより、両者の相対位置精度がより向上している。

【0010】図2(a)、(b)は本実施例におけるマルチチップモジュール基板1をメインボード8に搭載した場合の、マルチチップモジュール基板1上の貫通穴5とメインボード8上のターゲットマーク9の位置関係を示した部分平面拡大図である。図1(a)、(b)に示したメインボード8への搭載時にマルチチップモジュール基板1の外部接続用パッド6上の半田ボールバンプ7がメインボード8上のマルチチップモジュール実装用パッド10に位置ズレ許容範囲内で搭載されている場合、図2(a)に示す様にマルチチップモジュール基板1の上面より、個々の貫通穴5を通して、メインボード8上の個々のターゲットマーク9を欠けることなく、全形状を見通すことが出来る。

【0011】また、同様に図1(a)、(b)に示したマルチチップモジュール基板1の外部接続用パッド6上の半田ボールバンプ7がメインボード8上のマルチチップモジュール実装用パッド10に位置ズレ許容範囲を越えて搭載されている場合には、図2(b)に示す様に、位置ズレ量、方向に応じて、貫通穴5からターゲットマ

ーク9の全形状を見通すことは出来ない。

【0012】図3は本発明の第2の実施例の平面図である。第1の実施例におけるマルチチップモジュール基板1上の貫通穴5及びメインボード8上のターゲットマーク9の形状を角度90°のL字形状とし、マルチチップモジュール基板1の4隅にあたる箇所に各1個ずつ配置している。作用は実施例1とはほぼ同等であるが、特にマルチチップモジュール基板1のメインボード8に対する実装方向、即ちθ回転方向のズレの検出に効果が大きい。

【0013】図4(a)、(b)は本実施例におけるマルチチップモジュール基板1をメインボード8に搭載した場合の、マルチチップモジュール基板1上の貫通穴5とメインボード8上のターゲットマーク9の位置関係を示した部分平面拡大図である。図1(a)、(b)に示したメインボード8への搭載時にマルチチップモジュール基板1の外部接続用パッド6上の半田のボールバンプ7がメインボード8上のマルチチップモジュール実装用パッド10にX方向またはY方向の搭載位置ズレが、許容範囲内で、かつθ回転方向のズレ無く搭載されている場合、図4(a)に示す様にマルチチップモジュール基板1の上面より、個々の貫通穴5を通して、メインボード8上の個々のターゲットマーク9を欠けることなく、全形状を見通すことが出来、この時マルチチップモジュール基板1上のL字形状の貫通穴5及びメインボード8上のL字形状のターゲットマーク9のそれぞれの辺は平行になる。

【0014】また、同様に図1(a)、(b)に示したマルチチップモジュール基板1の外部接続用パッド6上の半田ボールバンプ7がメインボード8上のマルチチップモジュール実装用パッド10に位置ズレ許容範囲を越え、かつθ回転方向のズレを含んで搭載されている場合には、図4(b)に示す様に、位置ズレ量、方向に応じて、貫通穴5からターゲットマーク9の全形状を見通すことが出来ず、またマルチチップモジュール基板1上のL字形状の貫通穴5及びメインボード8上のL字形状のターゲットマーク9のそれぞれの辺は平行にならない。

【0015】

【発明の効果】以上説明した様に本発明は、マルチチップモジュールの搭載時にマルチチップモジュール基板に設けた貫通穴とメインボードに設けたターゲットマークの位置関係を検査することにより、従来のマルチチップモジュールの実装構造では、接続箇所がマルチチップモジュール基板の下に隠れてしまい、マルチチップモジュール上面からはメインボード裏面から見えないために行えなかった搭載位置ズレの検査を、半田付け等による本接続後の電気検査によらず容易に行うことができる。上述した検査により、搭載位置ズレが検出された場合でも、本接続が行われていないためその修正は容易であり、修正工数の低減に寄与出来る。搭載工程で位置ズ

し不良を取り除き、フィードバックをかけることにより、全体的な実装品質向上も期待できる。

【0016】 上述した位置ズレ検査は通常人による目視検査で行えるが、マルチチップモジュールのメインボードへの搭載工程と本接続工程の間に光学系の単純な認識装置を付加する事により、自動化することも容易である。さらに、通常はマルチチップモジュールのメインボードへの搭載は自動機にて行われるが、トラブル等の発生により、自動機が使用出来ない場合にも、作業者が上から見て、マルチチップモジュールの貫通穴を通してメインボード上のターゲットマークを見通して、位置合わせを行って搭載することにより、精度の良い人手作業が可能になる。

【図面の簡単な説明】

【図1】 (a)、(b) は本発明は第1の実施例の断面図および平面図である。

【図2】 (a)、(b) は第1の実施例の拡大平面図で

ある。

【図3】 本発明の第2の実施例の平面図である。

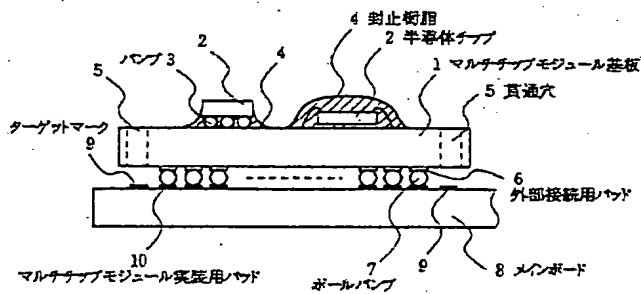
【図4】 (a)、(b) は第2の実施例の拡大平面図である。

【図5】 従来の一例を示す断面図である。

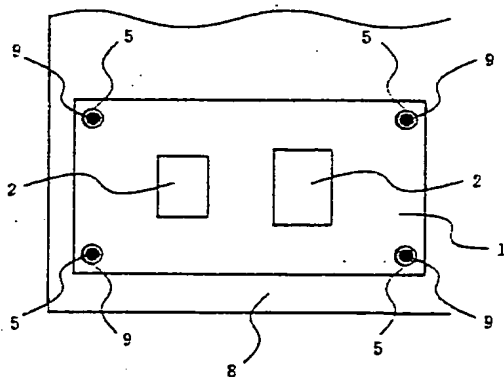
【符号の説明】

- 1 マルチチップモジュール基板
- 2 半導体チップ
- 3 バンプ
- 4 封止樹脂
- 5 貫通穴
- 6 外部接続用パッド
- 7 ボールバンプ
- 8 メインボード
- 9 ターゲットマーク
- 10 マルチチップモジュール実装用パッド
- 11 枠

【図1】

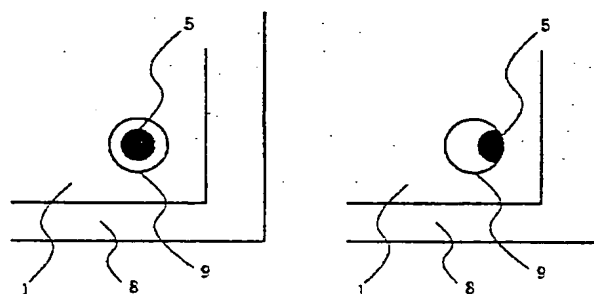


(a)



(b)

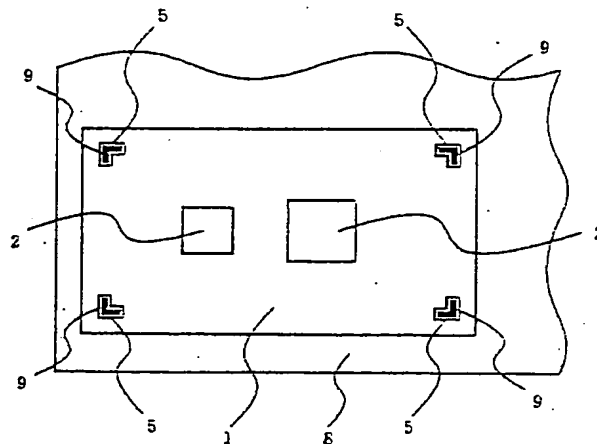
【図2】



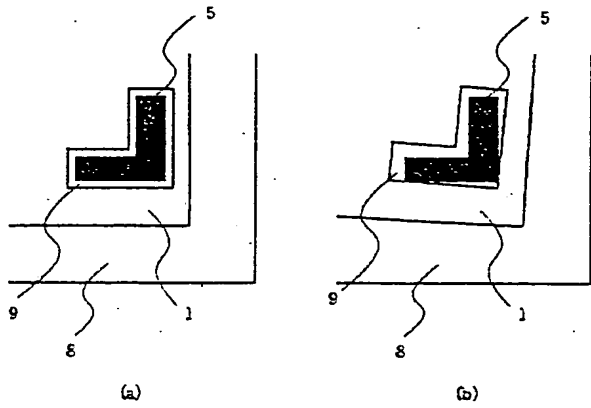
(a)

(b)

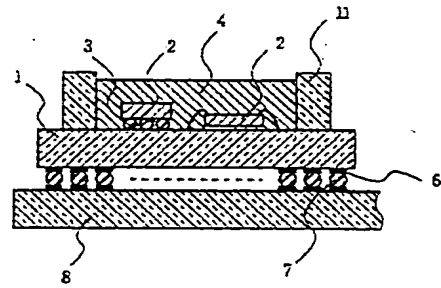
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 25/04

25/18

識別記号

庁内整理番号

F I

技術表示箇所

THIS PAGE BLANK (USPTO)